

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP405224964A
PAT-NO: JP405224964A
DOCUMENT-IDENTIFIER: JP 05224964 A
TITLE: BUS ABNORMALITY INFORMATION SYSTEM

PUBN-DATE: September 3, 1993

INVENTOR-INFORMATION:

NAME
KANDA, MAKOTO
MIURA, TAKESHI
SUZUKI, TOMOKO
KANEKAWA, YUKIO
NARA, TAKAO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP04025615

APPL-DATE: February 13, 1992

INT-CL_(IPC): G06F011/00; G06F011/30 ; G06F015/16

ABSTRACT:

PURPOSE: To inform the relative processor units in detail and at a high speed of the information of the bus abnormality occurred on a common bus with no load applied to software in a bus abnormality information system of a multiprocessor system.

CONSTITUTION: A common bus 3 functions to transfer data between the processor units 1-1 to 1-N and the I/O units 2-1-1 to 2-N-z, and a bus abnormality informing line 5 is provided in parallel to the bus 3 for communication of the serial data carried out between those processor and I/O units. Each of units 2-1-1 to 2-N-z has a bus abnormality detecting part 21 which detects the bus abnormality and sends the bus abnormality information including the IDs of the units 1-1 to 1-N which control their own units to the line 5 as the serial data. Meanwhile, each of units 1-1 to 1-N has a bus abnormality

recording

register 12 which gives an interruption to a CPU 11 when the receiving/recording information on the bus abnormality information is addressed to its own processor unit.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-224964

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.⁵ 識別記号 庁内整理番号 F I
G 0 6 F 11/00 3 1 0 D 7313-5B
11/30 3 2 0 B 9290-5B
15/16 4 7 0 E 9190-5L

審査請求 未請求 請求項の数 2(全 9 頁)

(22)出願日 平成4年(1992)2月13日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者 神田 真
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 三浦 剛
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 鈴木 智子
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 井桁 貞一

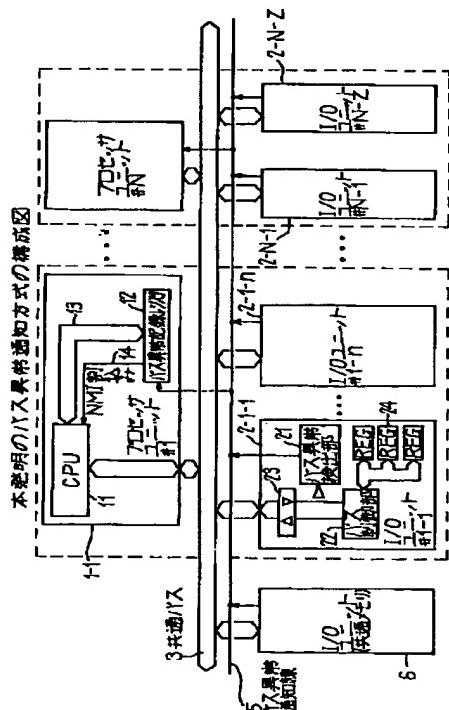
最終頁に統く

(54)【発明の名称】 バス異常通知方式

(57) 【要約】 (修正有)

【目的】 マルチプロセッサシステムのバス異常通知方式に関し、共通バス上で発生したバス異常の情報を、ソフトウェアに負荷をかけずに、詳細にかつ高速に、関連プロセッサユニットに通知できるようにする。

【構成】プロセッサユニット1-1～1-Nと、I/Oユニット2-1-1～2-N-Zとの間でデータ送受を行う共通バス3と並列に、該ユニット間でシリアルデータ通信用のバス異常通知線5を設ける。I/Oユニット2-1-1～2-Nは、バス異常を検出し、自ユニットを管理するプロセッサユニット1-1～1-NのIDを含むバス異常情報をシリアルデータにしてバス異常通知線5に送出するバス異常検出部21を持ち、プロセッサユニットはバス異常情報の受信・記録と該情報が自プロセッサユニット宛の時はCPU11に対して割込みを行うバス異常記録レジスタ12を持つ。



1

【特許請求の範囲】

【請求項1】 それぞれが複数のI/Oユニットを管理する複数のプロセッサユニット(1-1~1-N)と、該管理される複数のI/Oユニット(2-1-1~2-N-z)と、全ての前記ユニット(1-1~1-N、2-1-1~2-N-z)間を接続する一つの共通バス(5)とからなるマルチプロセッサシステムにおけるバス異常通知方法であって、

前記ユニット間のデータ送受を行なう該共通バス(5)と平行して、シリアルデータ通信を行なうバス異常通知線(5)を設けるとともに、

アクセスされたとき発生するバス異常を検出し、自ユニットを管理するプロセッサユニットのIDを含むバス異常情報をシリアルデータにして前記バス異常通知線(5)に送出するバス異常検出部(21)を各I/Oユニットに、前記バス異常通知線(5)からバス異常情報を受信し、該情報が自プロセッサユニット宛かを判断して、自プロセッサユニット宛の場合にはCPU(11)に対して割込み通知を行うバス異常記録レジスタ(12)を各プロセッサユニットに、

それぞれ設け、

バス異常を検出したI/Oユニットはアクセスバスサイクル内に前記バス異常通知線(5)を介して全プロセッサユニットのバス異常記録レジスタにバス異常情報を通知し、該I/Oユニットを管理するプロセッサユニットのみがCPU割込みを起こすようにしたことを特徴とするバス異常通知方式。

【請求項2】 請求項1記載のバス異常通知方式において、DMA動作するI/Oユニットがバスマスターとなり、バススレーブとなるI/Oユニットがどのプロセッサユニットからも管理されない共通メモリユニット(6)の場合には、

該共通メモリ(6)は、自IDを含むバス異常情報をバス異常通知線(5)に送出し、引き続いて該DMA動作するI/Oユニットが自I/Oを管理するプロセッサユニットのIDを該バス異常通知線(5)に送出するようにしたことを特徴とするバス異常通知方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数のプロセッサを有するマルチプロセッサシステムにおけるバス異常通知方式に関する。

【0002】 制御系のコンピュータシステムでは、処理の高速化、多量化、高信頼度化(ノンストップ化)の要求に伴い、複数のプロセッサを設けることにより並列処理や冗長化が図れるマルチプロセッサシステムが広まりつつある。

【0003】

【従来の技術】 まず单一プロセッサシステムにおけるバス異常通知方式を説明する。図4に示すように、プロセッサユニット1と、該プロセッサの管理下で動作する複

2

数のI/Oユニット2-1~2-Nとが共通バス3で接続されている单一プロセッサシステムでは、共通バス2を監視するバスコントローラユニット4と、該バスコントローラユニット4とプロセッサユニット1との間に一本のバス異常通知線5とを設ける。バスコントローラユニット4はバス異常検出部41とバス異常情報レジスタ42とを有し、プロセッサ1や、DMA動作するI/O装置が共通バス3にアクセスしたときにバス異常が発生すると、バス異常検出部41がそのバス異常を検出し、異常内容(

10 アドレスパリティ/データパリティエラー等)とバスの状態(異常発生時のバスアクセスはアドレスかデータか等)をバス異常レジスタ42に記録するとともに、バス異常通知線5を介してプロセッサ1内のCPU11に対して、マスク不能割込み(NMI)によりバス異常発生を通知する。プロセッサ1はこの通知を受けると、割込み処理により共通バス3を介してコントローラユニット4のバス異常情報レジスタ42にアクセスし、該レジスタ42に保持されているバス異常詳細情報を読み込み、これを解析してリカバリ処理やリトライ処理を実行する。

20 【0004】 図5は本発明が対象とするマルチプロセッサシステムのブロック図である。マルチプロセッサ方式の制御系コンピュータシステムでは、図5に示すように、各プロセッサユニット1-1~1-Nの配下にそれぞれ多数のI/Oユニット2-1-1~2-1-n, 2-2-1~2-2-m, ..., 2-N-1~2-N-qが從属する。図の点線枠は、それぞれのプロセッサユニットの管理領域を示す。またプロセッサユニット間通信データや全てのプロセッサグループで共有するデータを保存する共通メモリユニット6が設けられている。ここで、I/Oユニットは、FD

30 D, HDD等の記録部、HDL、LAN等の回線対応部、デジタル入出力やアナログ入出力等のペリフェラルI/O部等であり、これらの全I/Oユニットはそれぞれ自ユニットを管理するプロセッサユニットから共通バス3を介してアクセスされる。また、I/Oユニットのなかには、プロセッサをわざらわすことなく、共通メモリ6に直接アクセスしてデータ転送を行うDMA機能を有するものもある。(なお、本明細書では以後この共通メモリユニットも広義のI/Oユニットと見なす)そして、これらのI/Oユニットをプロセッサユニットがバスアクセスしたり、DMA動作を行うI/Oユニットが共通メモリをバスアクセスしたときに発生するバス異常(アドレスパリティ・エラー、データパリティ・エラー、ECCエラー、メモリパリティ・エラー等)を、自ユニットを管理するプロセッサに通知する必要がある。

【0005】

【発明が解決しようとする課題】 しかし、单一プロセッサシステムで採用したバスコントローラによるバス異常通知方式を、図5のマルチプロセッサシステムにも採用しようとすると以下の問題がある。

50 【0006】 ①バスの使用権を獲得してバスマスターとな

るプロセッサユニット1-1がバスアクセスしたときにバス異常が発生すると、バスコントローラ4はその異常を検出しバス異常通知線にNMIを送出するが、そのNMI通知は全てのプロセッサに通知され、各プロセッサはソフトウェアによってバス異常情報をレジスタから読み込み、その異常情報を解析することによってはじめて自プロセッサがそのバス異常に関係しているかどうかを知る。従って、バス異常に無関係のプロセッサでも割込み処理が行われ、ソフトウェアに対して無駄な処理をさせことになる。

【0007】②異なるプロセッサが連続してバス異常を発生させた場合に、バス異常情報を全て記録しておくためには、バスコントローラ4内のバス異常情報レジスタ41の数は、プロセッサの数と同数必要になり、プロセッサが多い場合には、レジスタが多数必要となり実現が困難である。

【0008】③DMAを行うI/Oユニットがバスマスターとなったときにバス異常を発生させた場合にも、バスコントローラからバス異常発生が全てのプロセッサに通知されるが、その通知だけでは各プロセッサはバス異常の発生させたのが、自己の管理するDMA-I/Oユニットなのか、それとも他のプロセッサなのかの区別することができず、①と同様な問題が生じる。

【0009】本発明は上記問題点に鑑み創出されたもので、マルチプロセッサシステムの共通バス上で発生したバス異常の情報を、ソフトウェアに負荷をかけることなく、詳細にかつ高速に、関連プロセッサユニットに通知できるようにすることを目的とする。

【0010】

【課題を解決するための手段】図1は本発明のバス異常通知方式の構成図である。上記問題点を解決するため本発明のバス異常通知方式は、それぞれが複数のI/Oユニットを管理する複数のプロセッサユニット1-1～1-Nと、該管理される複数のI/Oユニット2-1-1～2-N-zと、全てのユニット1-1～1-N、2-1-1～2-N-z間を接続する一つの共通バス5とからなるマルチプロセッサシステムにおけるバス異常通知方法であって、前記ユニット間のデータ送受を行なう該共通バス5と平行して、シリアルデータ通信を行なうバス異常通知線5を設けるとともに、アクセスされたとき発生するバス異常を検出し、自ユニットを管理するプロセッサユニットのIDを含むバス異常情報をシリアルデータにして前記バス異常通知線5に送出するバス異常検出部21を各I/Oユニットに、前記バス異常通知線5からバス異常情報を受信し、該情報が自プロセッサユニット宛かを判断して、自プロセッサユニット宛の場合にはCPU11に対して割込み通知を行うバス異常記録レジスタ12を各プロセッサユニットに、それぞれ設け、バス異常を検出したI/Oユニットはアクセスバスサイクル内に前記バス異常通知線を介して全プロセッサユニットのバス異常記録レジスタにバス

異常情報を通知とともに、該I/Oユニットを管理するプロセッサユニットのみがCPU割込みを起こすようにした構成であり、また、DMA動作するI/Oユニットがバスマスターとなり、バススレーブとなるI/Oユニットがどのプロセッサユニットからも管理されない共通メモリユニット6の場合には、バス異常を検出した共通メモリ6は、自IDを含むバス異常情報をバス異常通知線に送出し、引き続いて該DMA動作するI/Oユニットが自I/Oを管理するプロセッサユニットのIDをバス異常通知線5に送出するようにした構成である。

【0011】

【作用】全てのI/Oユニットのバス異常検出部は自ユニットが共通バスを介してアクセスされた時にバス異常を検出すると、同一バスサイクル内に直ちに詳細異常情報をシリアルデータにしてバス異常通知線を介して全プロセッサユニットに送出する。従って、バス異常情報を保持するバス異常情報レジスタが不要となる。また、プロセッサユニットのCPUに対するNMI割込み通知はバス異常を発生させたプロセッサユニットだけで行われるので、バス異常に無関係なプロセッサユニットでは無駄な割込み処理を行うことがなく、ソフトウェアに負荷を与えることが無くなる。

【0012】また、アクセスされたI/Oユニットが共通メモリの場合には、自ユニットを管理するプロセッサユニットのIDを持たないので、アクセスしたDMA-I/Oユニットが自己を管理するプロセッサユニットのIDを引き続いて送出する。これにより関連プロセッサのCPUだけに割込みが通知されてリカバリ処理/リトライ処理が行われる。

【0013】

【実施例】以下添付図面により本発明の実施例を説明する。図1は本発明のバス異常通知方式の構成図、図2、図3は動作シーケンスを示す図である。なお、全図を通じて同一符号は同一対象物を表す。

【0014】図1において、1-1～1-Nはマルチプロセッサシステムを構成する複数の個々のプロセッサユニットで、各プロセッサはそれぞれ複数のI/Oユニット2-1-1～2-1-n、…、2-N-1～2-N-zを管理する。6は共通メモリユニットで、各プロセッサユニットや、DMA動作が可能なI/Oユニットから共通にアクセスされる。3は、データ線、アドレス線、制御線等からなる共通バスで、全てのユニット間を接続している。

【0015】5は一本のバス異常通知線で共通バス3と平行して全ユニット間を接続している。各I/Oユニット2-1-1～2-1-n、…、2-N-1～2-N-zおよび共通メモリ6は、バス異常検出部21、バス制御部22、バスインターフェイス部23、複数のレジスタ24を有する。

【0016】バス異常検出部21は共通バス3を介して受信したデータを監視してバス異常を検出すると、直ちに該バス異常に関連する全ての情報をシリアルデータにし

てバス異常通知線に送出する。

【0017】バス制御部22は共通バスに対する接続制御を行い、管理するプロセッサユニットからアクセスされている時に、バス異常検出部21からバス異常発生の通知を受けると、データ受信に対するアクノリッジ（肯定応答）の送出を停止して、バス異常検出部21からの異常情報の送出が完了するまでバスサイクルを引き延ばす。

【0018】バスインターフェイス部23は共通バスとのインターフェイスを司り、レジスタ24は送受するデータを一時記憶する。各プロセッサユニット1-1～1-Nは、CPUチップ11と、バス異常記録レジスタ12とを有する。バス異常レジスタ12は、バス異常通知線5からバス異常情報のシリアルデータを受信して記録し、該異常情報内のプロセッサユニットIDが自分のIDと一致したら割込み線14を介してCPUチップにマスク不能割込みNMIを通知する機能を有する。CPU11上のソフトウェアはこの割込み通知によって、自分が管理するI/Oユニットへのアクセスでバス異常が発生したことを認識し、割込み処理プログラムを起動させてバス異常記録レジスタ12から、内部バス13を通じてバス異常情報を読み出し、リカバリ処理/リトライ処理を行う。

【0019】次に図3によりバス異常通知のシーケンスを説明する。図3は共通バスの使用権を獲得するバスマスターがプロセッサユニットで、アクセスされるバススレーブがI/Oユニットの場合の例である。

【0020】図の(a)に、バス異常が発生していない正常時のマスター、スレーブ間のデータのやりとりを示す。スレーブI/Oユニットはバスマスタープロセッサユニットからのデータを正常に受け取ると、アクノリッジ(ACK)を返しバスサイクルを終了させる。

【0021】図(b)のバス異常発生時では、バススレーブとなったI/Oユニットのバス異常検出部は、自ユニットがバスマスターからアクセスされて共通バスを介してバスインターフェイス部でデータを受信すると、そのデータを監視して、バス異常を検出する。バス異常が検出されると、アクノリッジの返送を保留し、バス異常情報をバス異常通知線に送出する。このバス異常情報は、そのときアクセスされていたレジスタのアドレス、異常が生じたデータの内容、アドレスparityエラーかデータparityエラーかのエラー種別等のバス異常データと、自ユニットを管理しているプロセッサユニットのIDとそのプロセッサユニット配下での自ユニットに対する管理番号とのID情報とからなり、これらのデータをシリアルデータに変換してバス異常通知線に送出する。データを正常に受信したとのアクノリッジを出さないのでバスは当該2ユニット間で専有されている状態であり、バスサイクルを引き延ばして、全ての情報を送出してしまう。送出が終了するとバスは解放される。

【0022】全てのプロセッサユニットは、バス異常を検出したバススレーブI/Oユニットからバス異常通知

線を介して送られてくるバス異常情報を、バス異常記録レジスタで受信する。ここまででは、CPUで処理中のタスクとは無関係にハードウェアによって行われる。そして、受信したバス異常情報に含まれるプロセッサIDが自分のIDと一致したプロセッサユニットにおいてのみ、該バス異常記録レジスタからCPUにマスク不能割込みNMIをかけ、ソフトウェアによりエラー分析処理を行う。このときには、バス異常にに関する全ての情報がバス異常記録レジスタに保持されているので、新たに共通バスを獲得して転送を受ける必要がない。

【0023】次に図4により、バスマスターがDMA動作を行うI/Oユニットで、バススレーブとなるI/Oユニットが共通メモリである場合の動作を説明する。共通メモリユニットは、全てのプロセッサユニットから同等にアクセスされるので、自ユニットを管理するプロセッサのIDを持たない。そして、この共通メモリには、DMA機能を有するI/Oユニットが、支配するプロセッサの指示により直接アクセスすることができる。

【0024】共通メモリユニットは、DMA-I/Oユニットからアクセスされたときにバス異常を検出すると、プロセッサIDを含まないバス異常情報をバス異常通知線に送出し、この送出が終了すると引き続いてバスマスターとなっているDMA-I/Oユニットが自ユニットを管理しているプロセッサユニットのIDと該プロセッサユニット配下の管理番号とからなるID情報をバス異常通知線に送出する。

【0025】全プロセッサユニットは、共通メモリユニット(バススレーブ)及び、DMA-I/Oユニット(バスマスター)から送られてくるデータをバス異常記録レジスタにて受信する。そしてDMA-I/O内に記されたプロセッサIDが自己のIDと一致しているプロセッサユニットにおいてのみ、バス異常記録レジスタがCPUに対して割込みを発生させ、異常発生をソフトウェアに通知する。

【0026】これにより、プロセッサユニットのCPUは自己の配下にあるI/Oユニットが関係するバス異常のときだけ、ソフトウェアに通知されるので、他のプロセッサのソフトウェア負荷が増加することはない。また、全プロセッサユニットは、異常が発生したバスアクセスサイクルと同じバスサイクル内に全てのバス異常情報を送付を受けるので、バス異常が連続して発生しても全ての異常の検出と通知が可能となる。

【0027】このように、本発明によればマルチプロセッサシステムにおいて、共通バス上で発生したバス異常を発生と同時にCPUに通知することができ、連続して発生しても全て関係するCPUに通知でき、それぞれのCPU系で独立に異常回復処理を行うことが可能となるという効果がある。

【0028】【発明の効果】以上説明したように、本発明によればマ

ルチプロセッサシステムにおいて、共通バス上で発生したバス異常を発生と同時に、管理するプロセッサのCPUにだけ通知することができるので、ソフトウェアの負荷が増大せず効率的にバス異常検出が可能になるという効果がある。

【図面の簡単な説明】

【図1】 本発明のバス異常通知方式の構成図

【図2】 動作シーケンスを示す図(その1)

【図3】 動作シーケンスを示す図(その2)

【図4】 単一プロセッサシステムにおけるバス異常通知方式

【図5】 本発明が対象とするマルチプロセッサシステムのブロック図

【符号の説明】

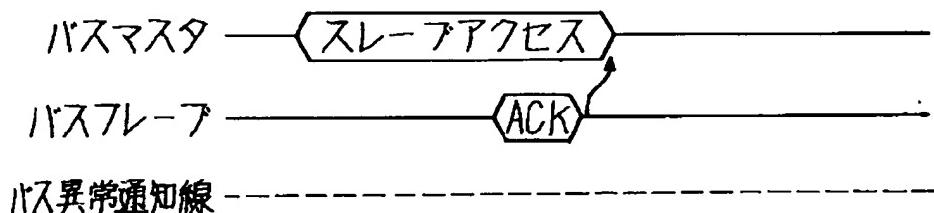
1-1 ~ 1-N … マルチプロセッサ、11…CPU、12…バス異常記録レジスタ、2-1-1 ~ 2-N-z … I/Oユニット、21…バス異常検出部、22…バス制御部、3…共通バス、5…バス異常通知線

【図2】

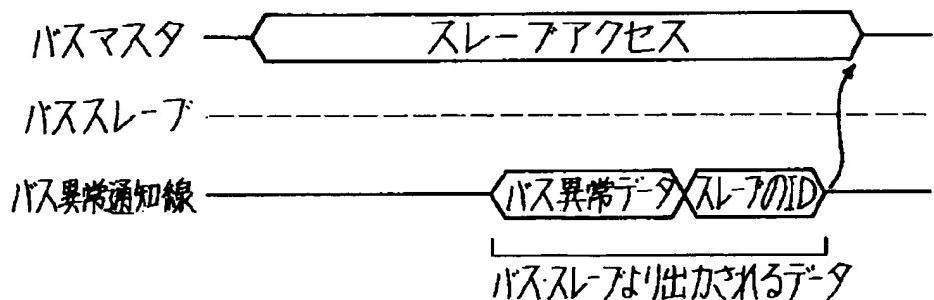
動作シーケンスを示す図(その1)

(バスマスター: プロセッサユニット)
(バススレーブ: I/Oユニット)

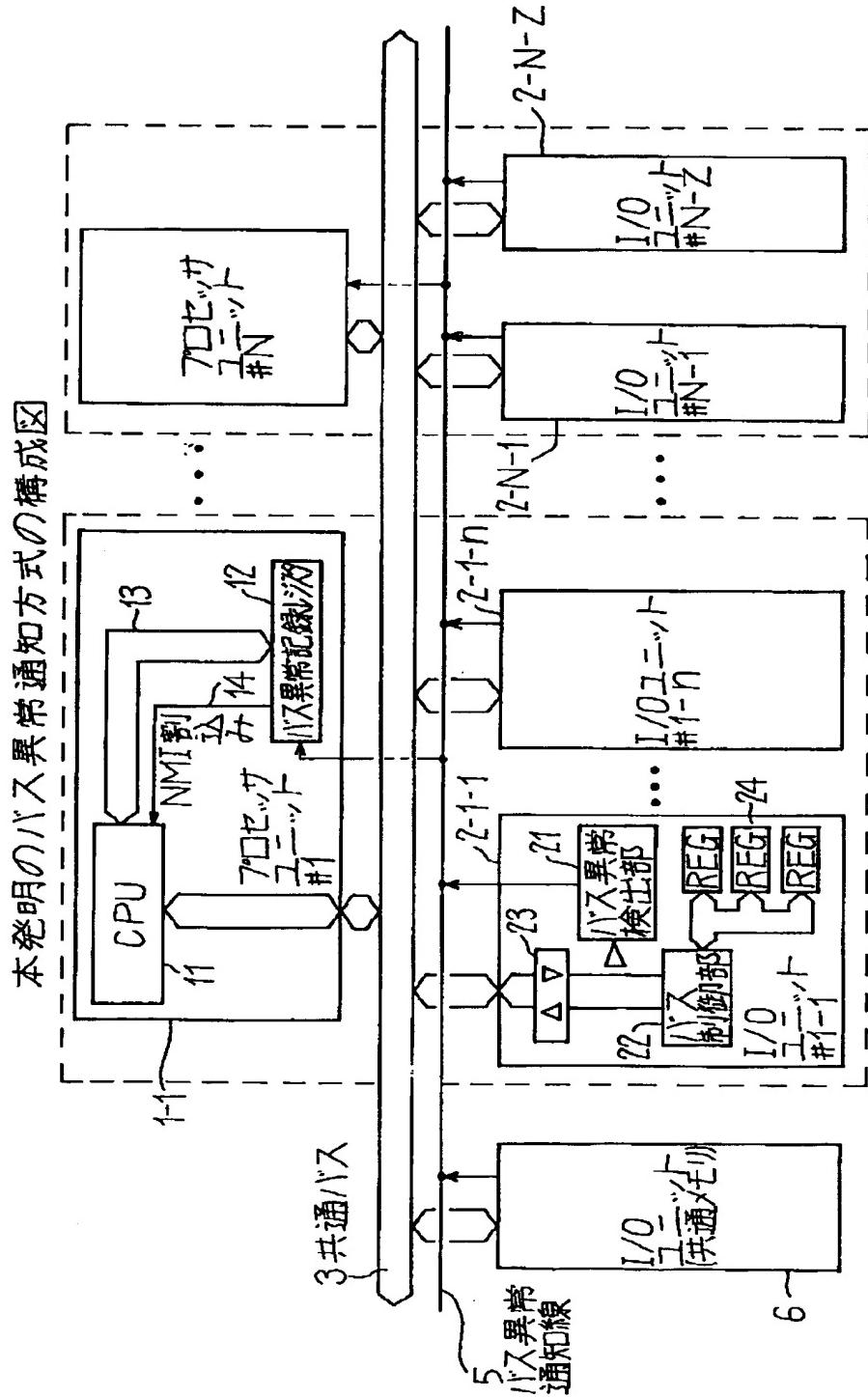
(a) バス異常非発時(正常時)



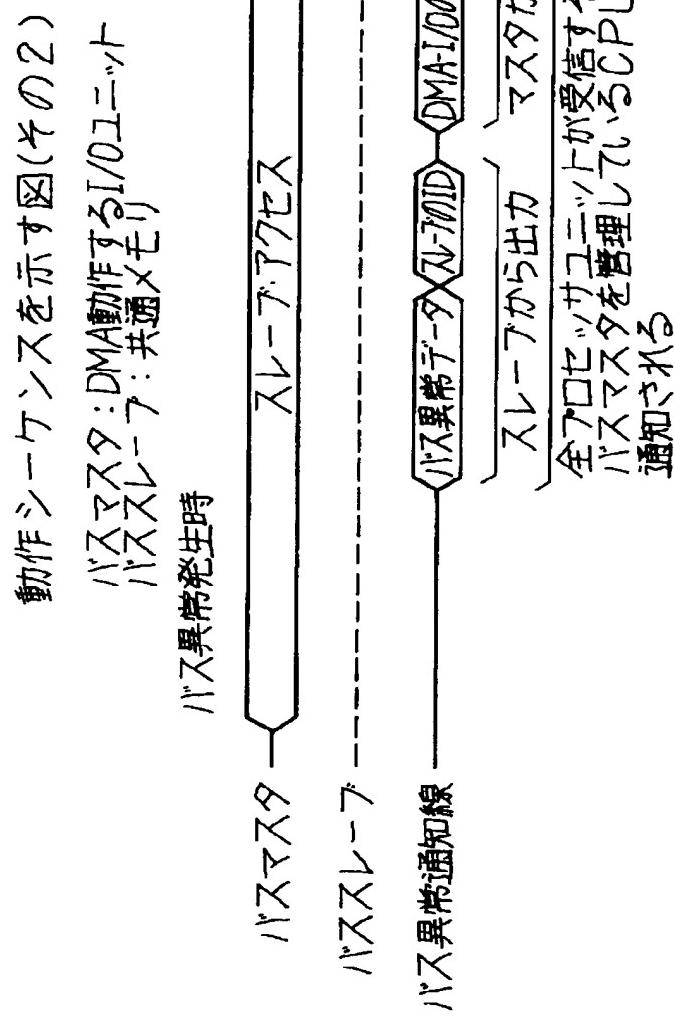
(b) バス異常発生時



【図1】

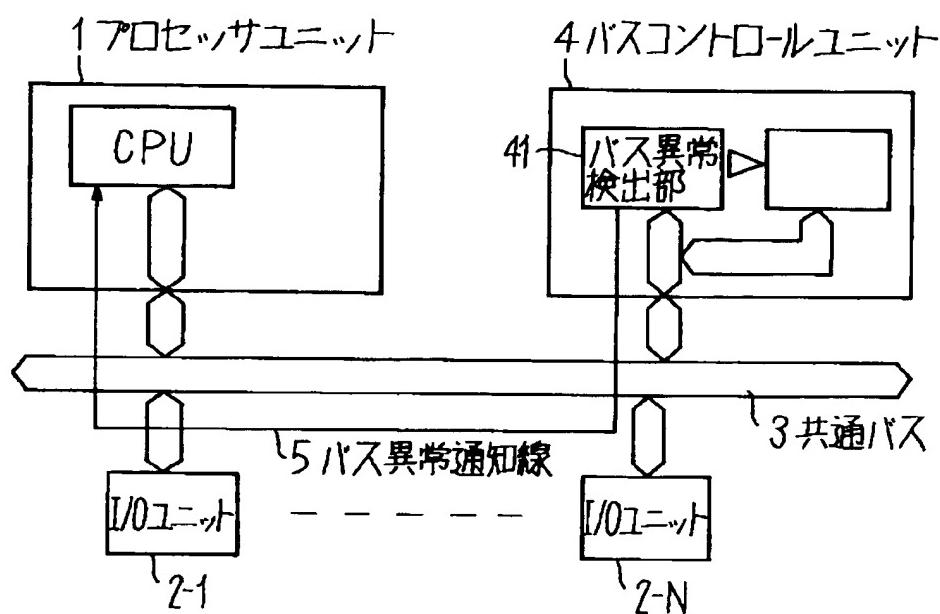


【図3】



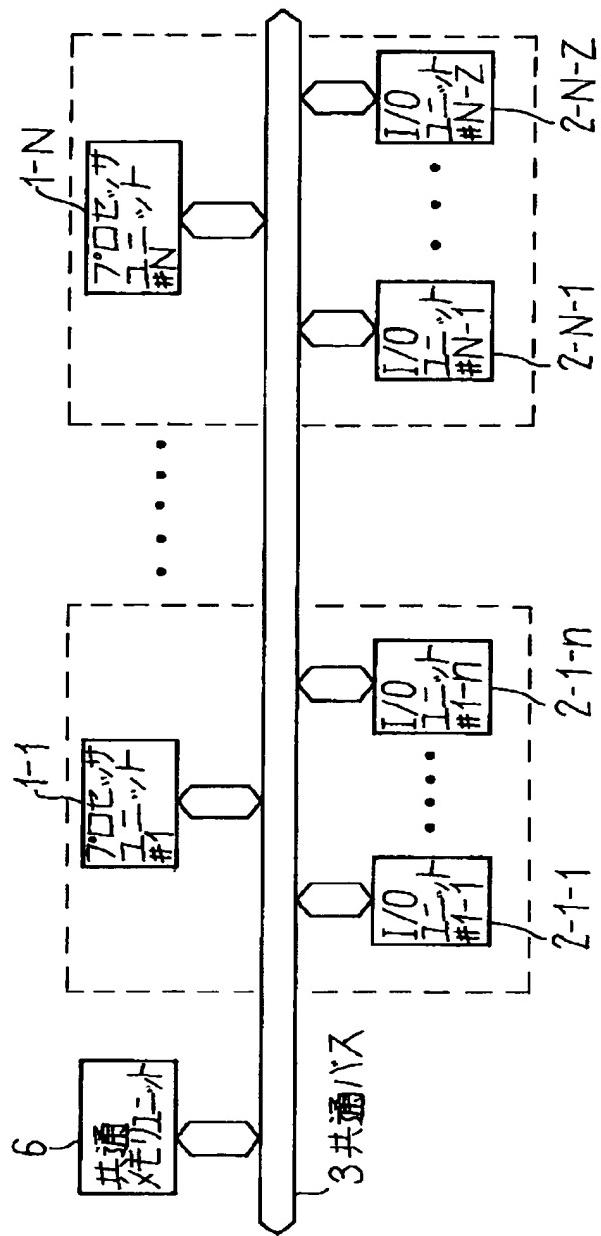
【図4】

单一プロセッサシステムにおけるバス異常通知方式



【図5】

本発明が対象とするマルチプロセッサシステムのアーキテク图



フロントページの続き

(72)発明者 金川 幸生
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 奈良 孝雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内